

p/29-1644

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 1月29日
Date of Application:

出願番号 特願2003-021080
Application Number:

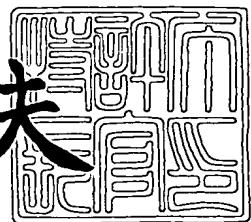
[ST. 10/C] : [JP2003-021080]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年12月 3日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3100098

【書類名】 特許願
【整理番号】 73420018
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/36
G02F 1/133

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番
NECエレクトロニクス株式会社内

【氏名】 赤堀 英樹

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】**【予納台帳番号】** 191928**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0215753**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 表示装置駆動回路

【特許請求の範囲】

【請求項 1】

入力されるクロックとデータとに基づいて表示装置を駆動するドライバ内に位相調整回路を備えた表示装置駆動回路であって、前記位相調整回路は、入力された前記クロックのデューティを調整し第1のクロックとして出力する第1の同期遅延回路と、前記調整されたクロックを予め定められた遅延量だけ遅延して第2のクロックとして出力する第2の同期遅延回路と、前記第1のクロックに応答して前記データを保持・出力する第1の保持回路と、前記第2のクロックに応答して前記第1の保持回路から出力されたデータを保持・出力する第2の保持回路とを備えることを特徴とする表示装置駆動回路。

【請求項 2】

前記位相調整回路は、前記第1のクロックに応答してスタートパルスを保持・出力する第3の保持回路と、前記第1のクロックの反転信号に応答して前記第3の保持回路から出力されたスタートパルスを保持・出力する第4の保持回路とを備えることを特徴とする請求項1記載の表示装置駆動回路。

【請求項 3】

前記ドライバは、前記位相調整回路から出力されたデータ及び前記第1のクロック信号に応答して動作するデータラッチ回路をさらに備えることを特徴とする請求項1記載の表示装置駆動回路。

【請求項 4】

前記第1の同期遅延回路は、前記入力されたクロックのデューティ比を50%にして出力することを特徴とする請求項1記載の表示装置駆動回路。

【請求項 5】

前記第2の同期遅延回路は、前記第1のクロックを $\pi/2$ 遅延させて出力することを特徴とする請求項2記載の表示装置駆動回路。

【請求項 6】

前記データラッチ回路は、前記第1のクロックの立ち上がりエッジ及び立ち下

がりエッジでデータを取り込むことを特徴とする請求項5記載の表示装置駆動回路。

【請求項7】

前記データラッチ回路に、前記第1のクロックの前記立ち上がりでラッチされたデータ及び前記立ち下がりでラッチされたデータを、交互に出力するセレクト回路を備えることを特徴とする請求項6記載の表示装置駆動回路。

【請求項8】

入力されるクロックとデータとに基づいて表示装置を駆動する複数のドライバを備えた表示装置駆動回路であって、前記複数のドライバは、入力されたクロックのデューティ比を調整して第1のクロックとして出力する第1の同期遅延回路及び前記第1のクロックを予め定められた遅延量で遅延して第1の遅延クロックとして出力する第2の同期遅延回路を含み、前記第1のクロック及び第1の遅延クロックに基づいて入力されたデータを保持・出力する第1の位相調整回路と、前記第1のクロックに応答して前記保持・出力されたデータを保持するラッチ回路と、前記第1のクロックのデューティ比を再調整して第2のクロックとして次段のドライバに供給する第3の同期遅延回路及び前記第2のクロックをあらかじめ定められた遅延量で遅延して第2の遅延クロックを出力する第4の同期遅延回路とを含み、前記第2のクロック及び第2の遅延クロックに基づいて入力されたデータを保持し前記次段のドライバに出力する第2の位相調整回路とを備えることを特徴とする表示装置駆動回路。

【請求項9】

前記第1のクロックに応答してスタートパルスをラッチするラッチ回路を備えることを特徴とする請求項8記載の表示駆動回路。

【請求項10】

前記第1のクロック及び前記第1の遅延クロックに応答して入力されたデータをラッチし出力する第1のラッチ回路を備えることを特徴とする請求項8記載の表示装置駆動回路。

【請求項11】

前記第2のクロック及び前記第2の遅延クロックに応答して入力されたデータ

をラッチし出力する第2のラッチ回路を備えることを特徴とする請求項10記載の表示装置駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置駆動回路に関し、特にカスケード接続された複数のドライバICを有する表示装置駆動回路に関する。

【0002】

【従来の技術】

近年、表示パネルが大型化し、カスケード接続された複数のドライバICによって表示装置を駆動する表示装置駆動回路が注目されている。

【0003】

このような、ドライバICは、従来技術として図7に示すようなものが一般的に知られている。（例えば、特許文献1参照）

図7に示されるドライバIC701は、位相調整回路702、データラッチ回路703、階調選択回路704、出力回路705から構成される。

【0004】

位相調整回路702は、図示しないLCDコントローラから供給される表示データ、クロックを受け取り位相調整をした後、次段のドライバICへデータを伝達すると共に、データラッチ回路703にデータを伝達する。このデータラッチ回路703でラッチされたデータに基づいて、階調選択回路704が出力回路705を制御し、出力回路705によって、図示しない液晶表示パネルを駆動する。

【0005】

上記の位相調整回路702は、図8に示すように、フリップフロップ回路801、 $(\pi/2)$ 位相差のクロック信号を生成するPLL回路（またはDLL回路）802、フリップフロップ回路803とから構成され、フリップフロップ回路801に供給されたデータを、クロック信号で切り直した後、フリップフロップ回路803に供給されたデータを $(\pi/2)$ ずらしたクロック信号にてラッチし

、データとクロックとの間の位相ずれを調整している。

【0006】

【特許文献1】

特開2001-324967号公報

【0007】

【発明が解決しようとする課題】

しかしながら、従来技術に示したドライバICでは、入力されてくるデータとクロック信号との間の位相調整は行なっているものの、出力されるデータとクロック信号との間の位相調整は行なわれていない。したがって、クロックの周波数が高くなってくると、マージンが少なくなり、ドライバICから次段のドライバICへ伝達されるデータとクロック信号との間の位相ずれが大きな問題となる。また、データのデューティ比に対しても、何ら制御が行われていないため、デューティ比が変化することによってデータが正確にラッピングされないという問題も起ころる。さらに、スタート信号と、データ及びクロック信号との間の位相調整が行われていないため、スタート信号に応答してデータを取り込む場合、正確なデータが取りこまれないという問題も起る。

【0008】

したがって、本発明は、データのデューティ比を保持しつつ、次段へ伝達されるスタートパルス、データ、クロックの位相調整を行なうドライバICを備える表示装置駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明の表示装置駆動回路は、入力されるクロックとデータとに基づいて表示装置を駆動するドライバ内に位相調整回路を備えた表示装置駆動回路であって、前記位相調整回路は、入力された前記クロックのデューティを調整し第1のクロックとして出力する第1の同期遅延回路と、前記調整されたクロックを予め定められた遅延量だけ遅延して第2のクロックとして出力する第2の同期遅延回路と、前記第1のクロックに応答して前記データを保持・出力する第1の保持回路と、前記第2のクロックに応答して前記第1の保持回路から出力されたデータを保

持・出力する第2の保持回路とを備えることを特徴とする。

【0010】

このように、第1の同期遅延回路及び第2の同期遅延回路を備えることにより、クロックのデューティ比の崩れ及びクロックとデータとの位相ずれを抑制することができるため、確実にデータをクロックに同期して取りこむことが可能となる。

【0011】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

【0012】

【実施例】

本発明の表示装置駆動回路を含むシステムは、図1に示すように、液晶やプラズマ等の表示パネル100、表示パネル100に画素データを供給する表示装置駆動回路（ソースドライバ）101、表示パネル100の水平方向の一走査線に対応した画素のゲートを駆動してソースドライバ101からのデータを画素に供給するゲートドライバ102、ソースドライバ101にスタートパルスS、データD、クロックCを供給すると共に、ゲートドライバ102に走査水平同期信号等を供給するコントローラ103とから構成される。

【0013】

ソースドライバ101は、カスケード接続されたドライバIC1011～201nにより構成される。ドライバIC1011は、コントローラ103からのスタートパルスS、データD、及びクロックCを受け、ドライバIC1012へこれらの信号を伝達し、ドライバ1012 IC以降のドライバICは、ドライバIC101nまで、これらの信号を前段のドライバから受け取り後段のドライバICに供給する。

【0014】

ドライバIC1011は、図2に示すように、コントローラ103からのスタートパルスを受けるスタートパルス入力端子、データを受けるデータ入力端子、

クロックを受けるクロック入力端子、これら入力端子からスタートパルス、クロック、データを受ける位相調整回路201、位相調整されたデータをクロックに同期して取りこむデータラッチ回路203、データラッチ回路の出力に応答して階調を選択する階調選択回路204、階調選択回路の出力に応答して表示装置100を駆動する出力回路205とを備える。なお、データラッチ回路203、階調選択回路204、出力回路205は、従来と同様のため、詳細な説明を省略する。

【0015】

ドライバIC1011は、さらに、位相調整回路201から出力されたデータ、クロック、スタートパルスを次段のドライバICに伝達する前に再度位相調整を行なうための位相調整回路202を備えている。

【0016】

位相調整回路201及び202は、図3に示すように、同期遅延回路A301、同期遅延回路B302、ラッチ回路303、304、305、306、307、308及びセレクト回路309から構成される。同期遅延回路A301は、入力されたクロック信号のデューティ比を50%に整形して出力する回路から構成され、同期遅延回路A302は、入力されたクロック信号を($\pi/2$)ずらした遅延クロック信号を出力する回路から構成される。

【0017】

これら回路の動作を、図4のタイミングチャートを使って説明する。位相調整回路201には、スタートパルス、クロック信号、当該クロック信号に同期したデータとが入力された場合を考える。なお、入力されたクロック信号のデューティ比は、波形がなまって50%で無くなっているものとする。

【0018】

クロック信号、スタートパルス、データが、位相調整回路201に供給されると、ラッチ回路303は、同期遅延回路A301から出力されるデューティ比50%のクロック信号の立ち上がりエッジによって信号をラッチし、ラッチ回路304は、デューティ比50%のクロック信号の立ち下がりエッジによって信号をラッチするため、ラッチ回路304からは、クロックに同期すると共に、クロック

クの一周期分の長さを有するスタートパルスが出力される。

【0019】

同様に、ラッチ回路305は、デューティ比50%のクロック信号の立ち上がりエッジによって信号をラッチし、ラッチ回路307は、デューティ比50%のクロック信号を $(\pi/2)$ ずらした遅延クロック信号の立ち上がりでラッチするため、ラッチ回路307からは、同期遅延回路Aから出力されるクロックの立ち上がりに対して、 $(\pi/2)$ ずれたデータが出力される。ラッチ回路306、ラッチ回路308は、それぞれデューティ比50%のクロック信号の立ち下がりエッジおよび、遅延クロック信号の立ち下がりでラッチするため、ラッチ回路308からは、同値遅延回路Aから出力されるクロックの立ち下がりに対して $(\pi/2)$ ずれたデータが出力される。このようにして、図4に示すように位相調整回路の内部ではデューティ比50%のクロック信号及びこのクロック信号を $(\pi/2)$ だけ遅延した遅延クロック信号($\pi/2$ クロック)が生成される。

【0020】

なお、セレクト回路309は、NANDゲート3091、3093、3094及びインバータ3092から構成され、ラッチ回路307及び308から出力されるデータを同期遅延回路Bからの遅延クロック信号のローレベル及びハイレベルに対応して選択出力する。

【0021】

したがって、図4に示すように位相調整回路からは、デューティ比50%のクロック信号と、このクロック信号に対して $(\pi/2)$ ずれたデータとが出力される。そのため、このクロック信号及びデータを受け取るデータラッチ回路203は、例えば、データD1の中心にあるクロックの立ち上がり(データD1に対して $\pi/2$ ずれている)に応答して確実にデータを取り込むことが、またデータD2の中心にあるクロックの立ち下がり(データD2に対して $\pi/2$ ずれている)に応答して確実にデータを取り込むことができる。

【0022】

このように、デューティ比50%のクロックを生成する同期遅延回路A301及びクロックを $(\pi/2)$ 遅延させる同期遅延回路B302を用いることにより

ドライバIC内において確実にデータをラッチすることが可能となる。

【0023】

更に、ドライバIC内の入力端子近傍に設けられた位相調整回路201から出力されたデータ、クロック、スタートパルスは、ドライバICから次段のドライバICに対して出力されるまでの間に位相及びデューティ比がずれてしまうことがあるため、ドライバICの出力端子近傍にも位相調整回路201と同様の構成の位相調整回路202を設けることによって位相を調整することにより、次段のドライバICに伝達される信号の精度を更に向上させることができる。

【0024】

なお、位相調整回路の内部で使用される同期遅延回路Aとしては、特開平8-237091に示されるように、バッファ501、遅延回路列及び倍速遅延回路列から構成される回路502、バッファ501及び倍速遅延回路列からの出力を合成する合成回路503、及びバッファ504とから構成することによって、入力されたクロックと同位相かつデューティ比50%のクロック信号を短時間で供給することができる。同様に、位相調整回路の内部で使用される同期遅延回路Bを、特開平8-237091に示されるように、遅延回路列及び倍速遅延回路列から構成される回路602及び604、バッファ601、インバータ603、合成回路605、バッファ606から構成することによって、入力されたクロックと $(\pi/2)$ 位相のずれた遅延クロック信号を短時間で供給することができる。

【0025】

また、本発明のドライバICは、前段のドライバICまたはコントローラから出力されるデータ、クロック、スタートパルスが入力される各入力端子と、次段のドライバICへデータ、クロック、スタートパルスを伝達する各出力端子とを備え、さらに、入力端子近傍に配置された入力用の位相調整回路と出力端子近傍に配置された出力用の位相調整回路とを備えることにより、各信号間の位相ずれを抑制することが可能となっている。

【0026】

さらに、入力端子と出力端子とは、図2に示すように、ドライバICの対向する2辺に設けられていることが好ましい。その理由は、ドライバIC内で、デー

タ、クロック、スタートパルスを伝達する経路が略同一になり、位相ずれを起こしにくくなるからである。

【0027】

【発明の効果】

このように、本発明では、位相調整回路が、入力されたクロック信号からデューティ50%のクロック信号を生成する同期遅延回路と、入力されたクロック信号から($\pi/2$)遅延した遅延クロック信号を生成する同期遅延回路とを備えることにより、内部回路及び次段のドライバICに伝達される各信号間のタイミングずれを解消することができ、誤ったデータの取り込みを防止することができる。

【図面の簡単な説明】

【図1】本発明の表示装置のシステム図

【図2】本発明の実施例のドライバICのブロック図

【図3】本発明の実施例の位相調整回路の回路図

【図4】本発明の実施例の位相調整回路における各信号のタイミング図

【図5】本発明の同期遅延回路Aのブロック図

【図6】本発明の同期遅延回路Bのブロック図

【図7】従来のドライバICのブロック図

【図8】従来の位相調整回路の回路図

【符号の説明】

100 液晶表示パネル

101 ソースドライバ

1011～101n ドライバIC

102 ゲートドライバ

103 LCDコントローラ

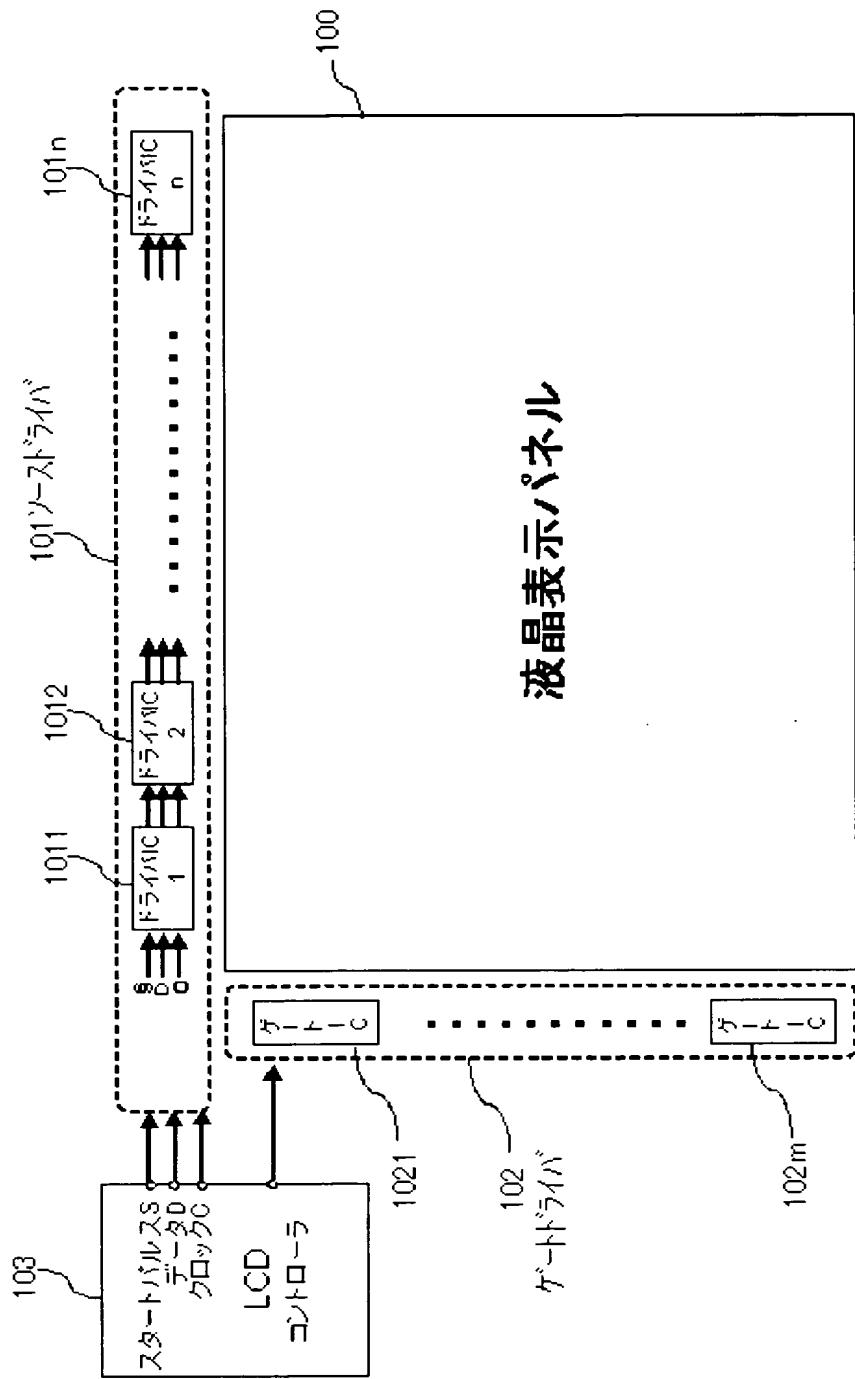
201、202 位相調整回路

301 同期遅延回路A

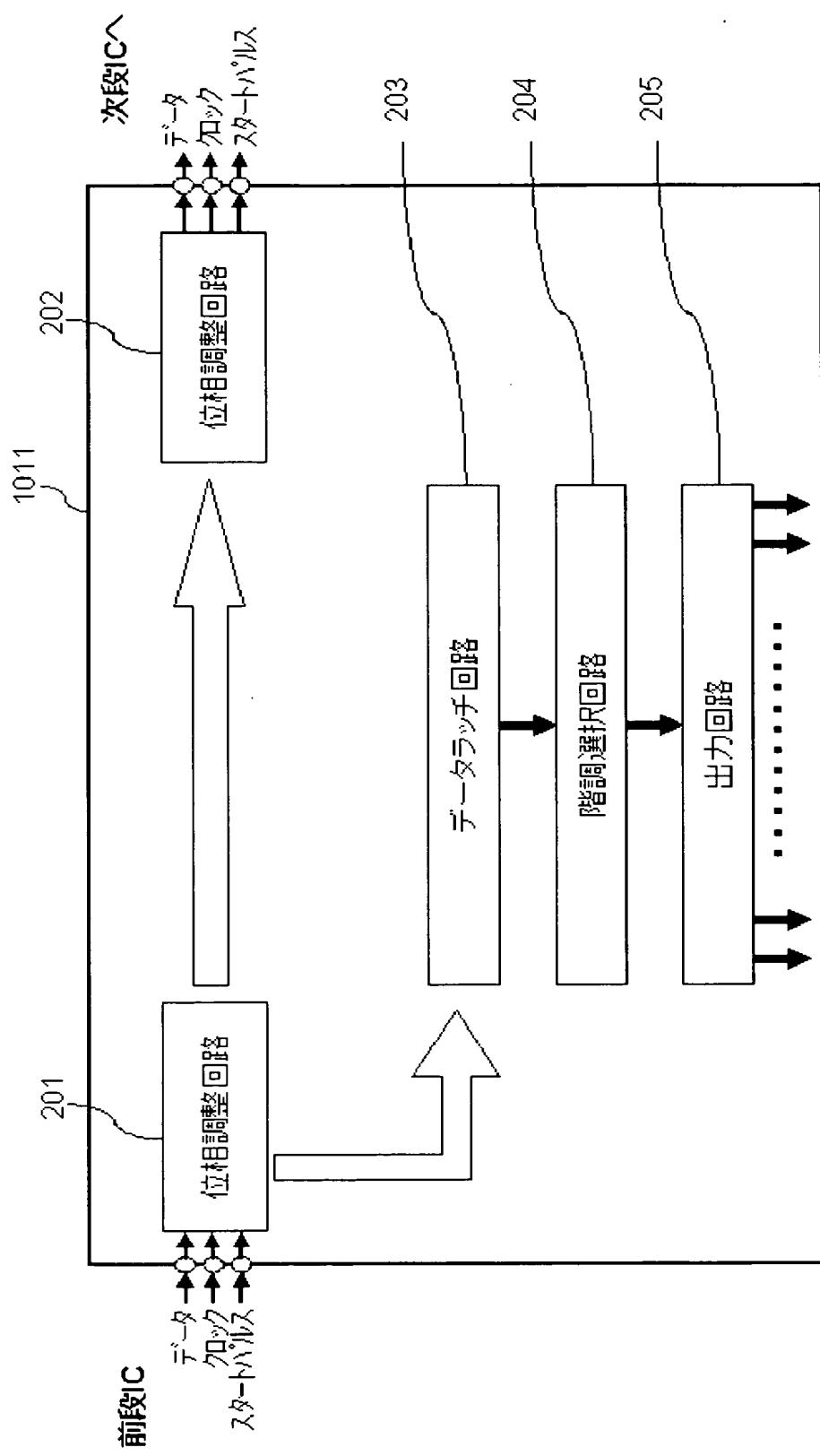
302 同期遅延回路B

【書類名】 図面

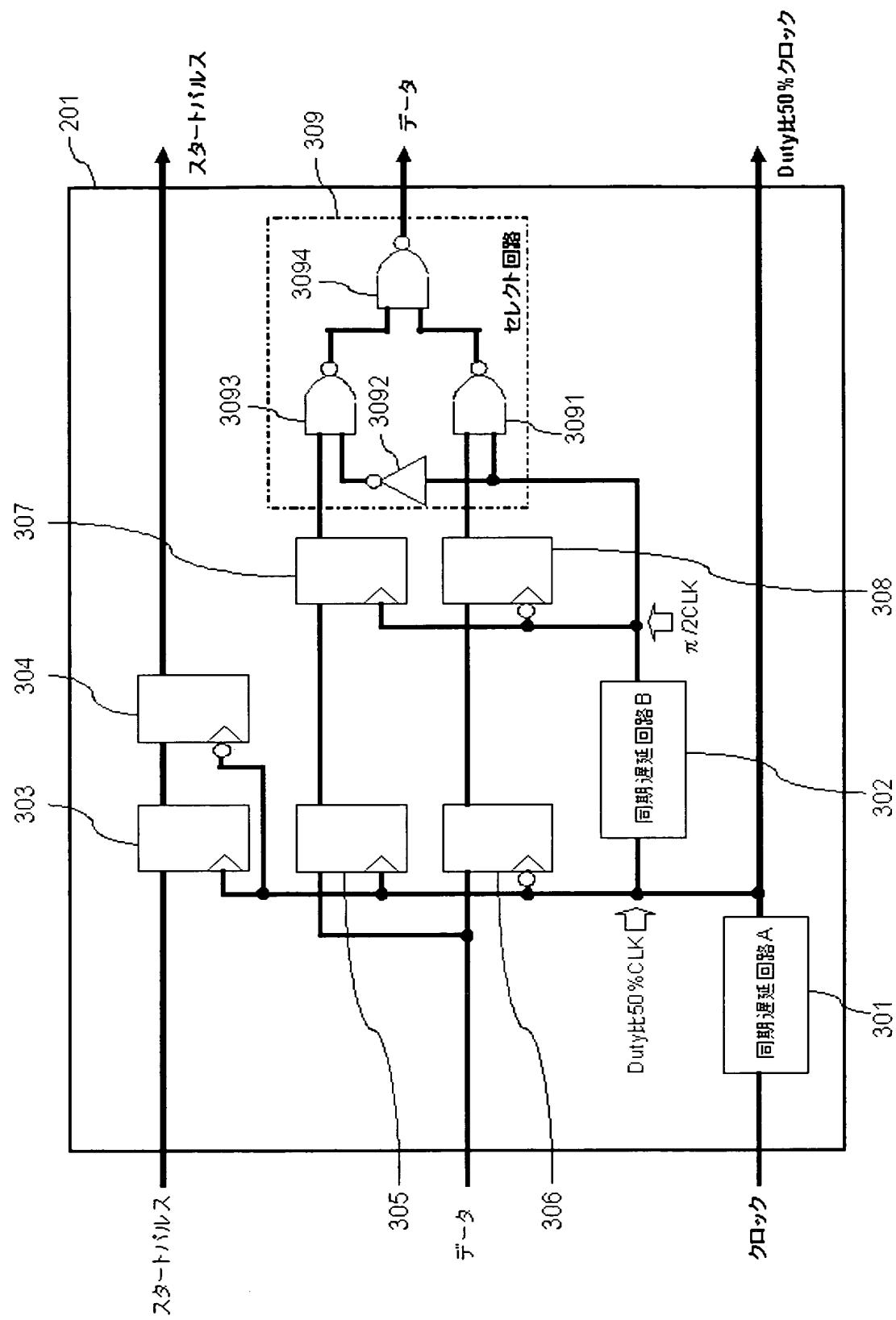
【図 1】



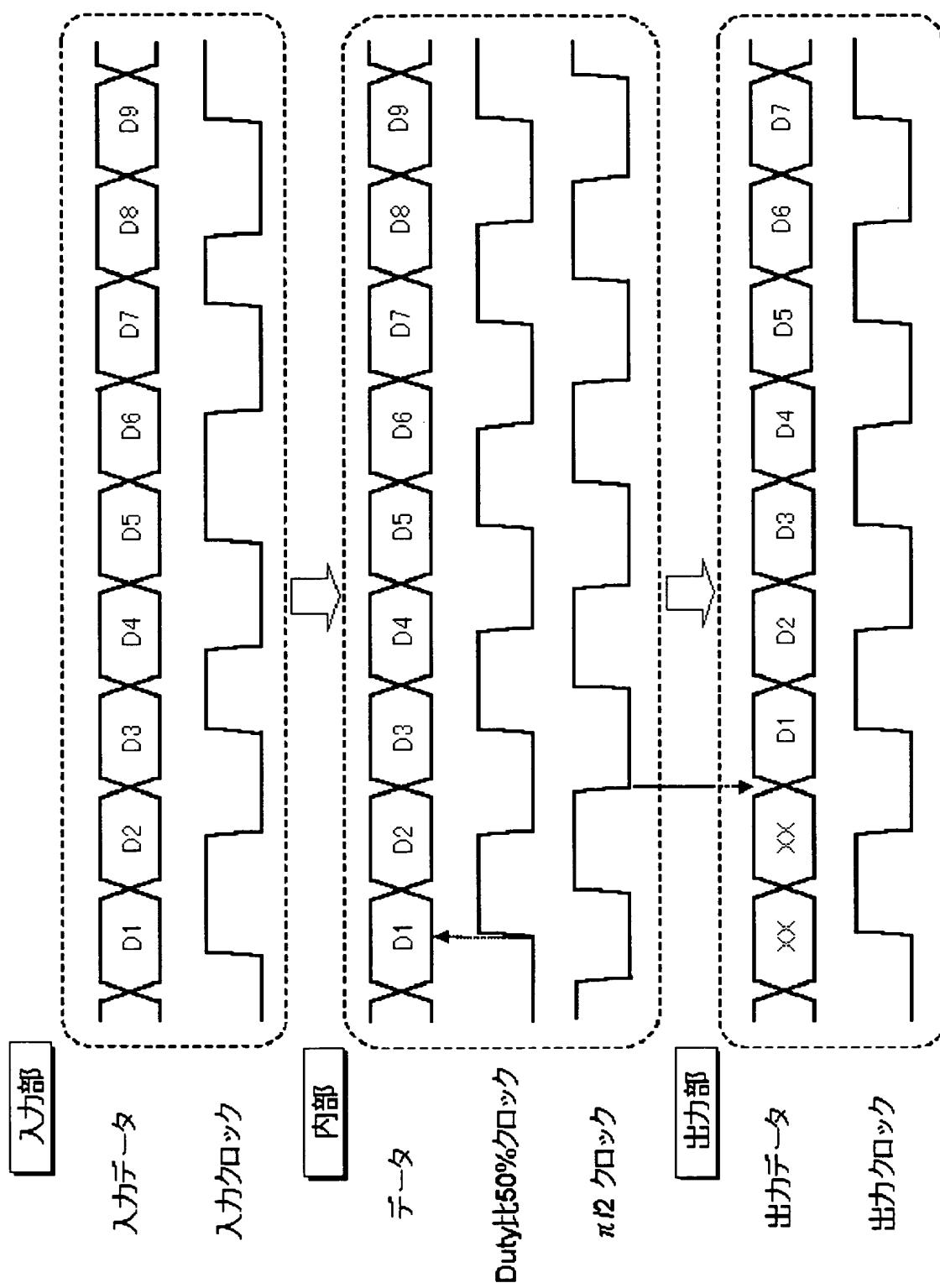
【図 2】



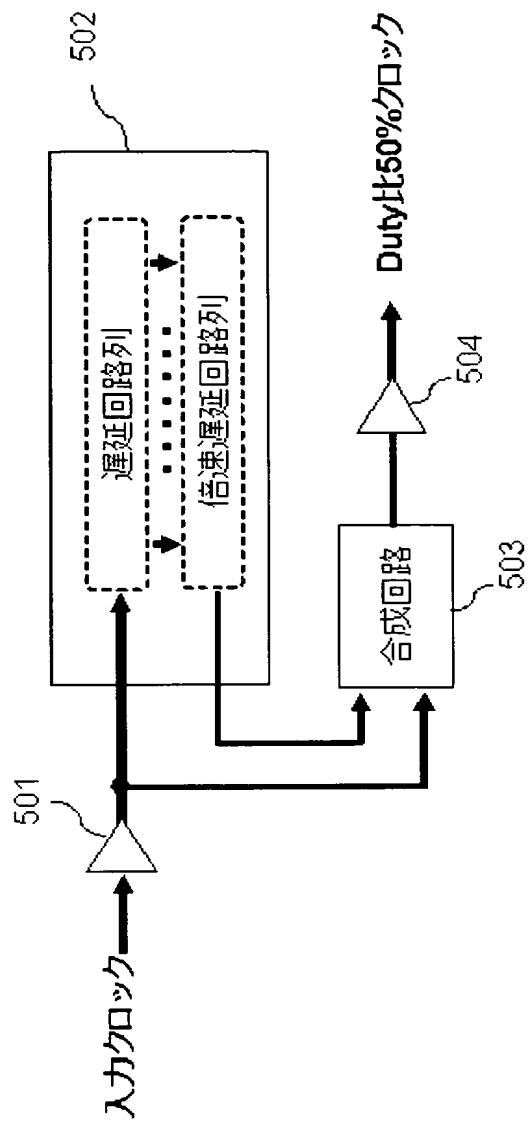
【図3】



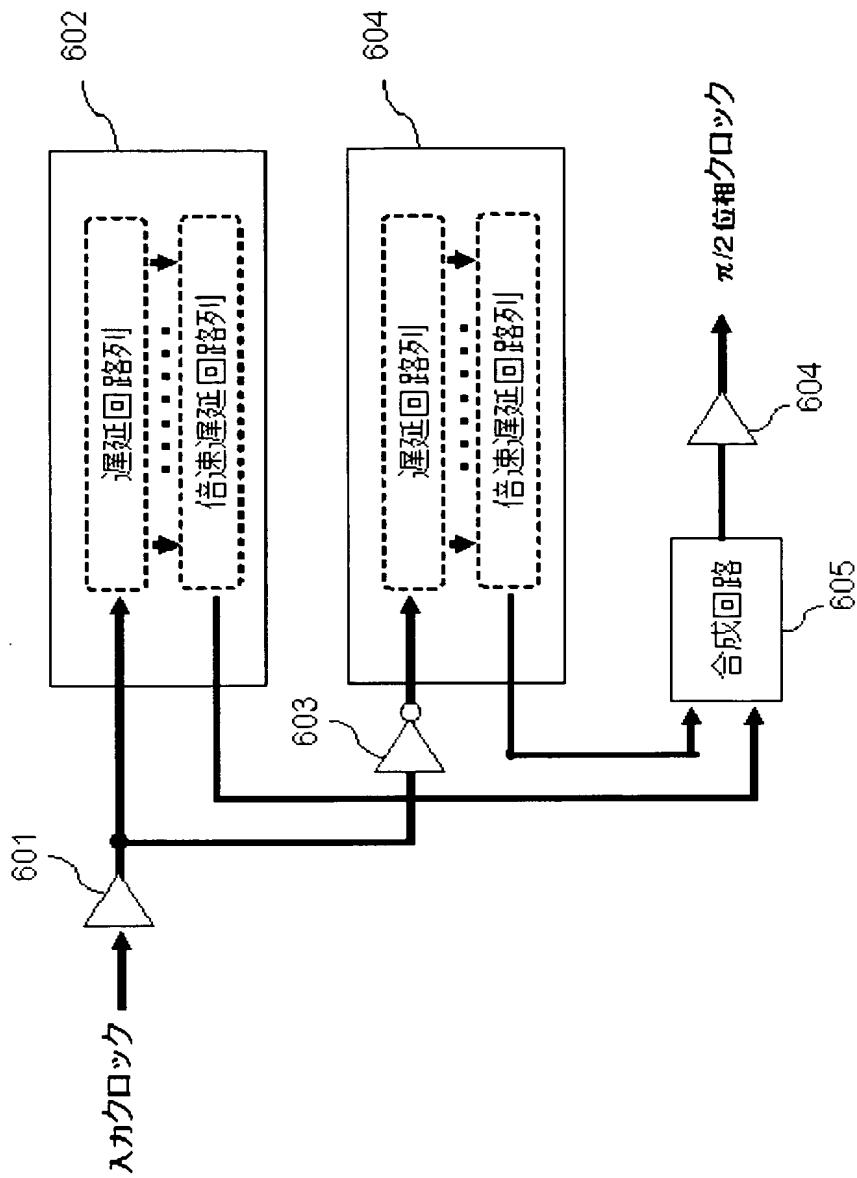
【図 4】



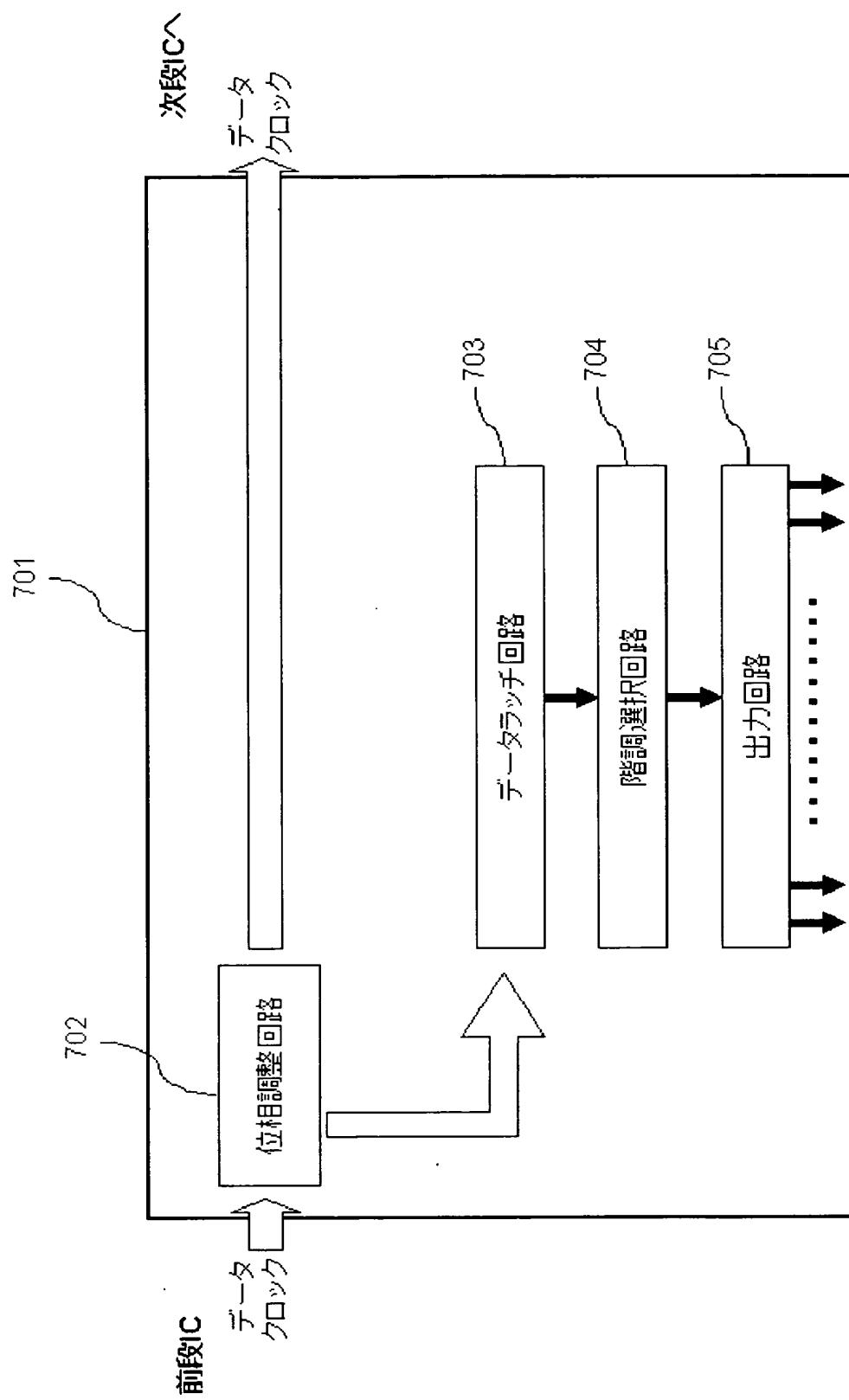
【図5】



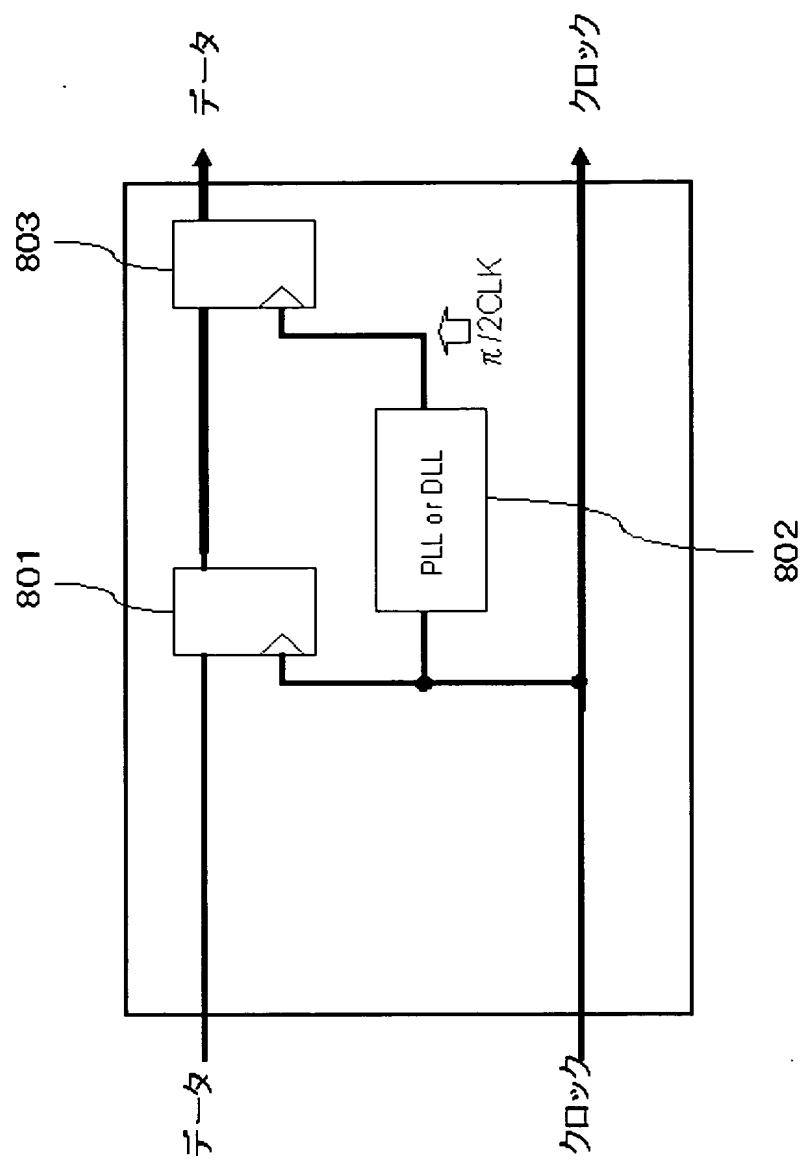
【図 6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 ドライバ I C に供給されるクロック、データのタイミングずれを防止する。

【解決手段】 ドライバ 1011 は、コントローラ 103 から出力された、クロック、データを、入力端子を介して受け取り、受け取ったデータをデューティ比 50% に調整したクロックでラッチし、このラッチされたデータをさらにデューティ比調整後のクロックを $(\pi/2)$ 遅延した遅延クロックに同期させてラッチしたデータと、上記デューティ比 50% のクロックとを位相調整後の信号として出力する位相調整回路 201 を備える。

【選択図】 図 2

認定・付加情報

特許出願の番号 特願2003-021080
受付番号 50300142732
書類名 特許願
担当官 第一担当上席 0090
作成日 平成15年 1月30日

<認定情報・付加情報>

【提出日】 平成15年 1月29日

次頁無

特願 2003-021080

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社